

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043417

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 21/768  
H01L 21/3205

(21)Application number : 2000-221202

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 21.07.2000

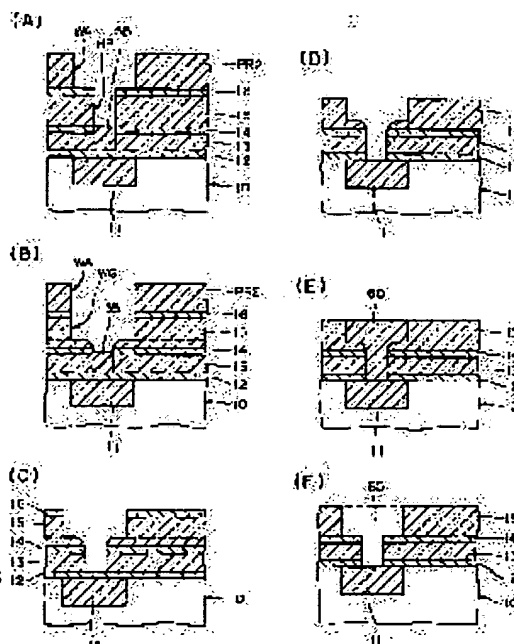
(72)Inventor : WATANABE KENICHI  
KOMADA DAISUKE  
NIIFUKU FUMIHIKO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having a dual damascene interconnection which is able to sufficiently protect a surface of an underlayer conductive layer, has a high reliability performance and a lower interconnect capacitance.

**SOLUTION:** The semiconductor device comprises a substrate having a conductive region therein, an insulating etch stop film covering the substrate surface, an interlayer insulating film formed on the insulating etch stop film, a trench with an interconnection formed to a first depth from the surface of the interconnection layer, a contact hole reaching the conductive region from the bottom of the trench with an interconnection and the dual damascene interconnection formed by filling the trench with an interconnection and the contact hole, and includes the first insulating layer wherein the interlayer insulating film includes a sidewall and a bottom of the trench with an interconnection and the second insulating layer lying in the lower level than the first insulating layer and having an etching selectivity different from that of the first insulating layer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-43417

(P2002-43417A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/768

H 0 1 L 21/90

M 5 F 0 3 3

21/3205

21/88

K

審査請求 未請求 請求項の数8 O L (全 23 頁)

(21)出願番号 特願2000-221202(P2000-221202)

(22)出願日 平成12年7月21日(2000.7.21)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 渡邊 健一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎

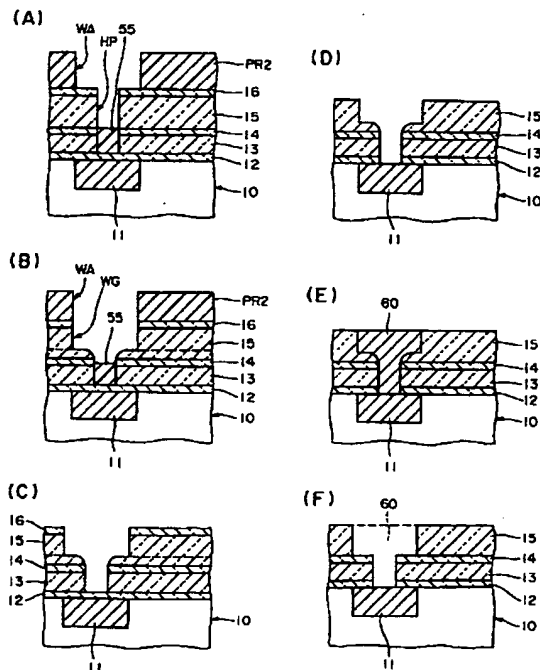
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 下層導電層の表面を十分保護することができ、信頼性が高く、配線容量が小さなデュアルダマシンプ配線を有する半導体装置を提供することである。

【解決手段】 半導体装置は、導電性領域を有する下地と、下地の表面を覆う絶縁性エッチストップ膜と、絶縁性エッチストップ膜上に形成された層間絶縁膜と、層間絶縁膜表面から第1の深さで形成された配線用溝と、配線用溝底面から導電性領域に達する接続用孔と、配線用溝および接続用孔を埋め込んで形成されたデュアルダマシンプ配線とを有し、層間絶縁膜が配線用溝の側面および底面を包む第1種の絶縁層と、第1種の絶縁層よりも下に配置され、第1種の絶縁層とエッチング特性の異なる第2種の絶縁層とを含む。



## 【特許請求の範囲】

【請求項1】 表面に導電性領域を有する下地と、  
前記下地の表面を覆う絶縁性エッチストップ膜と、  
前記絶縁性エッチストップ膜上に形成された層間絶縁膜と、  
前記層間絶縁膜表面から第1の深さで形成された配線用溝と、  
前記配線用溝底面から、前記層間絶縁膜の残りの厚さおよび前記絶縁性エッチストップ膜を貫通し、前記導電性領域に達する接続用孔と、  
前記配線用溝および前記接続用孔を埋め込んで形成されたデュアルダマシン配線と、  
を有し、

前記層間絶縁膜が前記配線用溝の側面および底面を包む第1種の絶縁層と、前記第1種の絶縁層よりも下に配置され、第1種の絶縁層とエッチング特性の異なる第2種の絶縁層とを含む半導体装置。

【請求項2】 前記層間絶縁層が、さらに前記第2種の絶縁層の下に配置され、第2種の絶縁層とエッチング特性の異なる第3種の絶縁層を含み、前記第2種の絶縁層が、前記第1種の絶縁層のエッチング時にエッチストップバとして機能し得る層であり、前記接続用孔は前記第2種の絶縁層下部から前記導電性領域表面まで実質的に同一の断面形状を有する請求項1記載の半導体装置。

【請求項3】 前記第3種の絶縁層が、前記第1の深さより小さい厚さを有する請求項2記載の半導体装置。

【請求項4】 前記第2種の絶縁層が前記絶縁性エッチストップ膜上に配置されており、前記第1の深さより小さい厚さを有する請求項1記載の半導体装置。

【請求項5】 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、  
前記絶縁性エッチストップ膜上に、第1種の絶縁膜とその下に配置され、第1種の絶縁膜とエッチング特性の異なる第2種の絶縁膜とを含む層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記層間絶縁膜を貫通し、前記絶縁性エッチストップ膜に達する接続用孔を形成する工程と、

前記接続孔内に、前記第2種の絶縁膜の表面より下の高さまで有機物の保護詰物を形成する工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第1種の絶縁膜中第1の深さまで配線用溝を形成する工程と、  
前記保護詰物を除去する工程と、

前記絶縁性エッチストップ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。

【請求項6】 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、

10 前記絶縁性エッチストップ膜上に、第1種の絶縁膜とその下に配置され、第1種の絶縁膜とエッチング特性の異なる第2種の絶縁膜とを含む層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記第1種の絶縁膜を貫通し、前記第2種の絶縁膜に達する接続用孔を形成する第1エッチング工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第1種の絶縁膜中第1の深さまで配線用溝を形成するとともに、前記接続孔下の残りの層間絶縁膜を除去する第2エッチング工程と、

前記絶縁性エッチストップ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、

前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、

を有する半導体装置の製造方法。  
【請求項7】 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、  
前記絶縁性エッチストップ膜上に、下から第1種の絶縁膜と第2種の絶縁膜と第3種の絶縁膜とを含み、第2種の絶縁膜は、第1種および第3種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、

前記層間膜表面から、前記第3種の絶縁膜、第2種の絶縁膜、第1種絶縁膜を貫通し、前記絶縁性エッチストップ膜に達する接続用孔を形成する第1エッチング工程と、  
前記接続孔内に前記第1種の絶縁膜表面より高く、前記第2種の絶縁膜表面より低い高さまで有機物の保護詰物を形成する工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第3種の絶縁膜中第1の深さまで配線用溝を形成する第2エッチング工程と、

前記保護詰物を除去し、前記接続用孔内に前記絶縁性エッチストップ膜を露出させる工程と、  
露出した前記エッチストップ膜をエッチングする第3エッチング工程と、

前記配線用溝および前記接続孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法。

【請求項8】 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、

前記絶縁性エッチストップ膜上に、下から第1種の絶縁膜と第2種の絶縁膜と第3種の絶縁膜とを含み、第2種の絶縁膜は第1種および第3種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面から、前記第3種の絶縁膜を貫通し、前記第2種の絶縁膜に達する接続用孔を形成する第1エッチング工程と、

前記接続孔底面に露出した第2種の絶縁膜をエッチングする第2エッチング工程と、

前記接続孔と重複させ、前記層間絶縁膜表面から第3種

の絶縁膜中第1の深さで配線用溝を形成するとともに、前記接続孔下の第1種の絶縁膜をエッチングして前記エッチストップ膜を露出する第3エッチング工程と、露出した前記エッチストップ膜をエッチングする第4エッチング工程と前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特にデュアルダマシン配線を有する半導体装置およびその製造方法に関する。

【0002】本明細書において、エッチストップとは、あるエッチングにおいてエッチング対象物のエッチレートに対して1/5以下のエッチレートを示しうるものを言う。また、あるエッチングにおいてエッチング対象物のエッチレートに対して、約1/2～約2のエッチレートを示す場合、類似のエッチレートを有すると言う。

【0003】

【従来の技術】半導体装置においては、ますます集積度の向上が要求されている。従来の配線は、A1、Wなどで形成していた。絶縁層上にA1配線層やW配線層を形成した後、その上にレジストパターン等のエッチングマスクを形成し、配線層をパターンニングし、絶縁層で埋め込むことによって配線を形成していた。集積度の向上と共に、配線の幅を減少し、配線間隔を減少することが要求される。このような微細化に伴い、配線間容量は増加する。また、配線の断面積を減少すると、抵抗増加につながる。容量の増加や抵抗の増加は、配線における信号伝達速度を低下させ、動作速度向上の障害となる。

【0004】配線抵抗低減のために、従来のA1やWに比べ抵抗率の低いCuを用いた配線が採用されるようになった。Cuは、エッチングによってパターンニングすることが困難なため、Cu配線形成のためには、絶縁層表面部に配線用溝を形成し、この配線用溝内に配線層を埋め込み、絶縁層表面上の余分の配線層を化学機械研磨(CMP)によって除去するダマシン配線プロセスが用いられる。

【0005】配線層間の接続のためには、配線層間をビア導電体で接続する必要がある。ダマシンプロセスとしては、ビア孔を形成し、ビア導電体で埋め戻した後、配線用溝を形成し配線を埋め込むシングルダマシンプロセスと、ビア孔と配線用溝を作成した後、同時にビア孔と配線用溝に配線材料を埋め戻すデュアルダマシンプロセスとがある。工程の簡略化の観点からは、デュアルダマシンプロセスが優れている。

【0006】デュアルダマシンプロセスにもビア孔を先に形成し、その後配線溝を形成する先ビア方式と、配線用溝を形成した後、ビア孔を形成する後ビア方式が知られている。下層との接続の確実性の点からは、先ビア方

式が優れていると考えられる。

【0007】以下、図13、14を参照し、先ビア方式のデュアルダマシンプロセスの例を説明する。

【0008】図13(A)に示すように、導電性領域111を有する下地110の表面上に、SiNなどの第1エッチストップ層112を成膜する。下地は、半導体基板でも、その上に形成した絶縁層でもよい。導電性領域111は、半導体領域でも、配線でもよい。導電性領域111がCu配線である場合には、Cu配線の表面は極めて酸化されやすいため、エッチストップ層が必要である。

【0009】第1エッチストップ層112の上に、第1層間絶縁膜113をシリコン酸化物などにより形成する。第1層間絶縁膜113の上に、配線用溝形成の際のエッチストップとして機能する第2エッチストップ層114を成膜する。第2エッチストップ層114の上に、配線用溝を形成する絶縁層となる第2層間絶縁膜115を形成し、その上にレジスト層パターンニングの際の反射防止機能を有するSiN膜等の絶縁性反射防止膜116を形成する。

【0010】図13(B)に示すように、絶縁性反射防止膜116の上にレジスト層を形成し、露光現像してレジストパターンPR1を作成する。レジストパターンPR1は、ビア孔に対応する開口101を有する。

【0011】レジストパターンPR1をエッチングマスクとし、反射防止膜116、第2層間絶縁膜115、第2エッチストップ層114、第1層間絶縁膜113を異方的にエッチングする。このようにして、レジストパターンPR1の開口101に対応したビア孔102が形成される。オーバーエッチングを行なうと、第1エッチストップ層112も若干エッチングされる。場合により、第1エッチストップ層112が消滅し、下地の導電性領域111がダメージを受けることがある。その後レジストパターンPR1は除去する。

【0012】図13(C)に示すように、反射防止膜116上にレジスト層を形成し、露光現像して第2のレジストパターンPR2を形成する。レジストパターンPR2は、ビア孔102を含む領域に配線用溝に対応する開口103を有する。

【0013】図13(D)に示すように、レジストパターンPR2をエッチングマスクとして用い、反射防止膜116、第2層間絶縁膜115のエッチングを行なう。第2エッチストップ層114は、このエッチングに対するエッチストップとして機能する。

【0014】なお、図13(D)のプロセスの際、第1エッチストップ層112の膜質、厚さが不十分であると、エッチング中に第1エッチストップ層112がエッチされ、下地の導電性領域111表面がダメージを受けることがある。

【0015】図14(E)に示すように、第2のレジス

トパターンPR2を酸素プラズマによるアッシングにより除去する。第1のエッチストップ層112が十分残っていない場合、このアッシング工程において酸素プラズマが、導電性領域111の表面にダメージを与えることがある。

【0016】図14(F)に示すように、反射防止膜116、配線用溝底面に露出した第2エッチストップ層114、ビア孔内に露出した第1エッチストップ層112を異方性エッチングで除去する。その後、デュアルダマシンプ線160を形成する。

【0017】上述の例は、配線用溝のエッチングの際、第2エッチストップ層114を用い、配線用溝のエッチングを第2エッチストップ層で停止させている。従って、配線用溝底面にはエッチストップ層114が残る。露出している第2エッチストップ層を除去しても、デュアルダマシンプ線160の配線部側面が第2エッチストップ層114と接触する。

【0018】エッチストップ機能を有する絶縁層は、一般的に誘電率が高く、配線用溝側面にエッチストップ層が存在すると、配線間容量の増大につながる。そこで、配線用溝エッチング用の第2エッチストップ層を用いないプロセスが提案されている。

【0019】図14(G)に示すように、下地110上にエッチストップ層112、層間絶縁膜113を形成した後、その表面に反射防止膜116を形成する。反射防止膜116の上にレジストパターンを形成し、前述の例と同様にエッチストップ層112に達するビア孔102を形成する。その後配線用溝を形成するためのレジストパターンPR2を形成する。

【0020】図14(H)に示すように、レジストパターンPR2をマスクとし、反射防止膜116をエッチングした後、第1層間絶縁膜113の所定厚さをコントロールエッチングする。エッチストップ層を用いないので、エッチング時間の制御によりエッチング深さを制御する。このようにして、ビア孔102に連続した配線用溝104を形成する。なお、エッチストップ層を用いないため、ビア孔肩部がエッチングされ、ビア孔の断面積は上方に向かって徐々に増加する形状となる。

【0021】なおこの例においても、ビア孔102のエッチングや配線用溝104のエッチングの際、第1エッチストップ層112がエッチングされたりすると、その下の導電領域111がダメージを受けることがある。

【0022】このように、先ビア方式のデュアルダマシンププロセスにおいては、ビア孔底部に形成されたエッチストップ層が損傷を受け、エッチストップ層下部の導電領域にダメージを受けることがある。

【0023】ビア孔下方の導電性領域がダメージを受けにくくするために、ビア孔に詰め物を埋め込むプロセスが提案されている。

【0024】図15は、配線用溝のエッチングにエッチ

ストップ層を利用し、ビア孔に詰め物を入れるプロセスの例を示す。導電性領域111を有する下地110の上に、第1エッチストップ層112、第1層間絶縁膜113、第2エッチストップ層114、第2層間絶縁膜115、反射防止膜116が積層される。レジストパターンを用いて第1エッチストップ層112に達するビア孔102が形成される。

【0025】このビア孔102の下方部分に、エッチングの際保護物となる詰め物155が埋め込まれる。反射防止膜116の上に、配線用溝形成のための開口103を有するレジストパターンPR2が形成される。

【0026】図15(B)に示すように、レジストパターンPR2をエッチングマスクとし、反射防止膜116、第2層間絶縁膜115を異方的にエッチングする。ビア孔102下方の第1エッチストップ層112は詰め物155で覆われているため、エッチングから保護されている。

【0027】図15(C)に示すように、レジストパターンPR2をアッシングで除去する。詰め物155が有機物で形成してある場合、アッシングで同時に除去することが出来る。なお、詰め物155とレジストパターンPR2を別々の除去工程で除去することも可能である。

【0028】第1エッチストップ層112は、配線用溝のエッチングから保護されているため、アッシングを受けてもその下の導電性領域111がダメージを受けることが少ない。

【0029】図15(D)に示すように、第2層間絶縁膜115上の反射防止膜116、配線用溝底面に露出した第2エッチストップ層114、ビア孔内に露出した第1エッチストップ層112をエッチングで除去する。このようにして、配線用溝、ビア孔が下地中の導電性領域111と接続された状態で形成される。

【0030】図15(E)に示すように、配線層を形成し、第2層間絶縁膜115表面上の部分をCMPで除去することにより、ビア孔および配線用溝を埋め込むデュアルダマシンプ線160が形成される。

【0031】

【発明が解決しようとする課題】以上説明したように、従来のデュアルダマシン工程によれば、デュアルダマシンプ線の下に配置される導電性領域の表面を十分保護し、信頼性の高い配線構造を形成することが必ずしも容易でなかった。

【0032】本発明の目的は、下層導電層の表面を十分保護することができ、信頼性の高いデュアルダマシンプ線を有する半導体装置の製造方法を提供することである。

【0033】本発明の他の目的は、このようなデュアルダマシンププロセスを用いるのに適した構造を有する半導体装置を提供することである。

【0034】

【課題を解決するための手段】本発明の1観点によれば、表面に導電性領域を有する下地と、前記下地の表面を覆う絶縁性エッチストップ膜と、前記絶縁性エッチストップ膜上に形成された層間絶縁膜と、前記層間絶縁膜表面から第1の深さで形成された配線用溝と、前記配線用溝底面から、前記層間絶縁膜の残りの厚さおよび前記絶縁性エッチストップ膜を貫通し、前記導電性領域に達する接続用孔と、前記配線用溝および前記接続用孔を埋め込んで形成されたデュアルダマシンプ配線と、を有し、前記層間絶縁膜が前記配線用溝の側面および底面を包む第1種の絶縁層と、前記第1種の絶縁層よりも下に配置され、第1種の絶縁層とエッチング特性の異なる第2種の絶縁層とを含む半導体装置が提供される。

【0035】本発明の他の観点によれば、表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、前記絶縁性エッチストップ膜上に、第1種の絶縁膜とその下に配置され、第1種の絶縁膜とエッチング特性の異なる第2種の絶縁膜とを含む層間絶縁膜を形成する工程と、前記層間絶縁膜の表面から、前記層間絶縁膜を貫通し、前記絶縁性エッチストップ膜に達する接続用孔を形成する工程と、前記接続孔内に、前記第2種の絶縁膜の表面より下の高さまで有機物の保護詰物を形成する工程と、前記接続孔と重複させ、前記層間絶縁膜表面から第1種の絶縁膜中第1の深さまで配線用溝を形成する工程と、前記保護詰物を除去する工程と、前記配線用溝および前記接続用孔を埋め込んでデュアルダマシンプ配線を形成する工程と、を有する半導体装置の製造方法が提供される。

【0036】

【発明の実施の形態】本発明者らは従来技術の問題点について、より詳細に考察した。図15に示すプロセスにおいて、第1エッチストップ層112を十分保護しようとする、詰め物155を厚く形成する必要がある。ところが、ビア孔102の高さを制限しようとする、詰め物155の高さも制限されることになる。

【0037】詰め物155の高さを低くすると、配線用溝のエッチングの際、詰め物が無くなり、ビア孔底面に露出した第1エッチストップ層112がダメージを受けることがある。第1エッチストップ層がダメージを受けないように詰め物155の高さを高くすると、配線用溝のエッチングの際に詰め物155が第2エッチストップ層114よりも上に突出し、シャドーイングと呼ばれる現象が生じる。

【0038】このシャドーイングが生じると、詰め物155の側壁部にエッチング残さが残る。ビア開口部やその周辺の配線用溝にエッチング残さが残ると、その後のCuなどの金属埋め込み工程で不良が発生し易くなる。

【0039】図16は、配線用溝底面にエッチストップ層を配置しない場合の詰め物を用いたデュアルダマシンププロセスの例を示す。

【0040】図16(A)に示すように、導電性領域111を有する下地110の上に、エッチストップ層112、層間絶縁膜113、反射防止膜116が積層されている。レジストパターンを用いてビア孔102を形成した後、ビア孔下部に詰め物155を形成する。その後反射防止膜116表面上に配線用溝形成用のレジストパターンPR2を形成する。

【0041】図16(B)に示すように、レジストパターンPR2をエッチングマスクとし、反射防止膜116、層間絶縁膜113の部分的エッチングを行なう。この際、ビア孔下部には詰め物155が形成されており、その下のエッチストップ層112は、エッチングから保護されている。

【0042】しかし、詰め物155は、その周囲の層間絶縁膜113とはエッチング特性が異なる。このため、詰め物155がマスクとなり、シャドーイングと呼ばれる現象が生じる。すなわち、詰め物155の側部に深い切れ込みが形成され易い。また、切れ込みは詰め物155の側壁から離れていくように形成され、詰め物155周囲の層間絶縁膜には、鋭い突出部が形成される。この現象を、以下異常エッチングと呼ぶことがある。

【0043】図16(C)に示すように、配線用溝をエッチングした後、レジストパターンPR2をアッシングにより除去する。詰め物155が有機物で形成されている場合は、アッシングにより詰め物155も同時に除去される。なお、ビア孔上部には、シャドーイングにより生じた突出部や深い切れ込み部が形成されている。

【0044】図16(D)に示すように、層間絶縁膜113表面上の反射防止膜116およびビア孔内に露出したエッチストップ層112のエッチングを行なう。

【0045】図16(E)に示すように、配線用溝およびビア孔内にデュアルダマシンプ配線160の埋め込みを行なう。しかしながら、ビア孔周辺に鋭い突出部や深い切れ込みが形成されているため、配線160形成の際に、ボイドが発生し易い。ボイドが生じると、下層配線111と上層配線160の電氣的接続が不十分となり易い。

【0046】本発明者らは、なぜ図16に示すような異常エッチングや下地導電体のダメージが生じるかを考察した。考察の内容を図17、図18、図19を参照して説明する。

【0047】図17(A)に示すように、導電性領域111を有する下地110の表面上に、エッチストップ層112、層間絶縁膜113を形成した後、反射防止膜116を積層する。反射防止膜116の上にレジストマスクを形成し、ビア孔をエッチストップ層112表面まで形成する。その後、ビア孔形成に用いたレジストパターンを除去し、配線溝形成用のレジストパターンPR2を作成する。その後、ビア孔内に詰め物155を形成する。ここで、図17(A)においては詰め物155を高

さ600nm形成する。

【0048】図18(A)においては、詰め物155を高さ400nm形成する。又、図19(A)においては、詰め物155を高さ200nm形成する。その他の条件は、図17(A)と同様である。このように、詰め物の高さが異なる場合、配線用溝をエッチングして行く工程において、どのような変化が現れるかを考察する。

【0049】図17(B)、図18(B)、図19(B)は、それぞれ配線用溝を形成するため、層間絶縁膜113を深さ400nmエッチングした状態を示す。層間絶縁膜113のエッチング共に、詰め物155もエッチされるが、ビア孔内の詰め物155は残っている。ビア孔の上縁部(肩部)は、斜めにエッチングされる。

【0050】図17(C)、図18(C)、図19(C)は、配線用溝を深さ600nmエッチングした状態を示す。詰め物155が200nm形成されていた図19(C)の場合、配線溝のエッチングにより詰め物155が消滅している。従って、さらにエッチングを進めるとビア孔下のエッチストップ層112がエッチングの影響を受ける。

【0051】図17(D)、図18(D)、図19(D)は、配線用溝を深さ800nmエッチした状態を示す。図19(D)においては、エッチストップ層112がエッチされ、さらに下地内の導電性領域111がエッチされてしまう。従って、このような状態でデュアルダマシン配線を形成しても、配線の電気的特性は保証されず、信頼性の低い配線となってしまふ。

【0052】図17(D)においては、詰め物155は十分残っているが、詰め物155の表面がエッチングされた肩部のエッチ表面よりも上に突出する形状となり、異常エッチングが発生している。

【0053】図18(D)においては、エッチングされた肩の領域が詰め物155表面に達し、エッチング残さが生じる状態となっている。現在は異常エッチングが生じていなくてもやがて異常エッチングが生じる状態である。

【0054】ここで定量的考察を行なう。図17(A)、(C)に示すように、層間絶縁膜113の厚さをh、詰め物155の高さをz、溝エッチングの深さをy、ビア孔肩部の最大深さをx、詰め物155の残り高さを $z'$ とする。詰め物の膜減り量は $\Delta z = z - z'$ である。層間絶縁膜のエッチレートに対する詰め物のエッチレートの比をbとする。

【0055】詰め物の膜減り量は、 $\Delta z = y/b$ と表せる。従って、 $z' = z - \Delta z = z - (y/b)$ となる。肩部のエッチング深さxを、 $x = \{1 + (1/1.4)\}y$ とする。すると、エッチング残さがでない条件は、 $h - x = h - \{1 + (1/1.4)\}y > z' = z - (y/b)$ となる。ビア底を保護するために必要な詰め物の高さは、 $z > (y/b)$ である。エッチング深さ

yを大きくすると、zも大きくしなくてはならないが、zを大きくするとエッチング残さがでやすくなる。

【0056】このように、層間絶縁膜中にエッチストップ層を設けないコントロールエッチングにおいては、配線用溝のエッチング深さが深くなる程異常エッチングが生じ易くなる。詰め物の高さを低くすれば、異常エッチングは生じないが、エッチストップ層がダメージを受け、さらに下地の導電性領域がダメージを受ける危険性が高くなる。厚い配線を形成するために深い配線溝を形成する時が問題である。

【0057】図17、18、19に示した例においては、エッチング深さ400nmまでは障害が生じなくても、エッチング深さ800nmでは良好な結果を得ることができない。一般的に500nm以上深い溝エッチングを行なおうとすると問題が生じる。

【0058】以下、図面を参照して本発明の実施例を説明する。

【0059】図1(A)に示すように、導電性領域11を有する下地10の上に、SiN等で形成された第1エッチストップ層12、弗素含有シリコン酸化物(FSG)等で形成された第1層間絶縁膜13、窒化シリコン(SiN)等で形成された第2エッチストップ層14、弗素含有酸化物等で形成された第2層間絶縁膜15、SiN等で形成された絶縁性反射防止膜16を積層する。

【0060】FSGは、通常の酸化シリコンより低い誘電率を有する。弗素の含有量等により、誘電率を可変制御することもできる。窒化シリコンは、酸化シリコンのエッチングに対して極めて低いエッチレートとすることができ、エッチストップとすることができ、誘電率は酸化シリコンの誘電率よりも高い。

【0061】これらの積層は、化学気相堆積(CVD)によって形成することができる。第1エッチストップ層12、第2エッチストップ層14は、例えばSiN膜によって形成する。第1層間絶縁膜13は、例えば弗素含有シリコン酸化物によって形成する。第2層間絶縁膜15は、例えば第1層間絶縁膜13よりも厚い弗素含有シリコン酸化物によって形成する。反射防止膜16は、例えばSiN膜によって形成する。

【0062】この積層構造は、図15(A)に示したものと同様であるが、図15(A)と較べると第2エッチストップ層14がより下地10に近い位置に配置されている。すなわち、第1層間絶縁膜13が薄く、第2層間絶縁膜15が厚く形成されている。配線用溝は、第2層間絶縁膜15の上部にコントロールエッチングで形成される。

【0063】反射防止膜16上にレジストパターンを形成し、第1エッチストップ層12に達するビア孔HPを形成する。その後レジストパターンは除去し、ビア孔HPの下部に有機物の保護詰め物55を形成する。保護詰め物55は、例えば感光材を除去したレジスト材料で形



成する。詰め物55の高さは、現像液による詰め物の除去を時間制御することにより行なうことが出来る。詰め物55の上面は、第2エッチストップ層14の上面よりも上に位置されることが好ましい。

【0064】反射防止膜16の上に、配線用溝の形状を有する開口WAを形成したレジストパターンPR2を形成する。

【0065】図1(B)に示すように、開口WAを有するレジストパターンPR2をマスクとし、反射防止膜16をエッチングした後、第2層間絶縁膜15のコントロールエッチングを行なう。エッチャントガスとしては、例えば、CFを含むガスとO<sub>2</sub>を含むガスとの混合ガスを用いる。

【0066】エッチング深さは、第2層間絶縁膜15の中間までの深さに選択する。このようにして、第2層間絶縁膜15に、配線用溝WGが形成される。配線用溝WGの側面および底面は、誘電率の低い第2層間絶縁膜15で画定されており、第2エッチストップ層14は配線用溝底面より下方に配置されている。

【0067】第2エッチストップ層14は、配線用溝のエッチングにおいてはエッチストップ層として機能していない。しかし、ビア孔HP内の詰め物55の周囲を囲み、肩部のエッチングを抑制し、異常エッチングの発生を防止している。

【0068】配線用溝のエッチングの後、アッシングを行なう。

【0069】図1(C)に示すように、アッシングによってレジストパターンPR2および有機物の保護詰め物55が除去される。

【0070】図1(D)に示すように、例えばCHF<sub>3</sub> + O<sub>2</sub>をエッチングガスとして用い、反射防止膜16および第1エッチストップ層12のシリコン窒化膜をエッチングする。

【0071】図1(E)に示すように、配線用溝およびビア孔内にデュアルダマシン配線60を形成する。デュアルダマシン配線60は、例えばTa<sub>2</sub>Nをスパッタしてバリア層を形成した後、Cuのシード層、Cuの主配線層を形成する。Cu層の形成は、例えばメッキにより行なうことができる。第2層間絶縁膜15上面に堆積したバリア層、シード層、主配線層は、CMP等により除去する。

【0072】本実施例によれば、詰め物55の上面は、SiNで形成された第2エッチストップ層14の上面以下の高さに位置しているため、配線用溝のエッチングにおいてビア孔周囲の異常エッチングが抑制される。このため、配線用溝に連続するビア孔の形状が滑らかとなり、バリア層が配線溝、ビア孔の内面に良く付着し、その後のバリア層形成、主配線層形成を良好に行なうことができる。

【0073】第2エッチストップ層14は、比較的高い

誘電率を有するが、この第2エッチストップ層14は主配線層よりも下に位置している。従って、配線間容量の増大は抑制される。ビア孔は基板面内でわずかに分布するのみであり、第2エッチストップ層が配線溝側壁と接する場合と比べ、付随容量に与える影響は小さい。

【0074】なお、図1(D)に示す第1エッチストップ層12のエッチング工程において、第2層間絶縁膜がエッチングされることもある。

【0075】図1(F)は、図1(D)に示す第1エッチストップ層12のエッチング工程において配線用溝底面の第2層間絶縁膜15がエッチングされ、第2エッチストップ層14が露出された場合を示す。第2エッチストップ層14が露出することにより、配線の付随容量は若干増加する。しかし、導電性領域11表面のダメージを防止し、かつ異常エッチングを防止する効果は保たれる。

【0076】なお、第2のエッチストップ層14をどの高さに形成するのが好ましいかを以下補足的に説明する。第2のエッチストップ層14を省略した状態の層間絶縁膜の厚さを例えば1500nmとする。この層間絶縁膜に配線用溝として深さ800nmの溝を形成する場合を考察する。保護用詰め物の高さは600nmとする。

【0077】図20(AA)は、第2のエッチストップ層14を用いないで深さ800nmの溝を形成した場合の断面構造を概略的に示す。ビア孔近傍において肩部のエッチングが進み、詰め物55の周囲に異常エッチングが生じている。

【0078】図20(BA)は、レジストパターンPR2及び詰め物55を除去した状態を示す。層間絶縁膜はビア孔周辺において鋭い突起と切れ込みを有し、その後のデュアルダマシン配線の形成を困難にする。

【0079】図20(AB)は、エッチストップ層を層間絶縁膜の下から200nmの位置に配置した場合を示す。この場合にも、ビア孔周辺の肩部のエッチングは進行し、詰め物55の表面がエッチング表面よりも上に突出し、その周囲で異常エッチングが生じている。

【0080】図20(BB)は、レジストパターンPR2を除去した状態を示す。ビア周辺の層間絶縁膜は鋭い突起と深い切れ込みを有している。

【0081】図20(AC)、(BC)は、第2のエッチストップ層14を層間絶縁膜の底面から高さ約400nmの位置に配置した場合を示す。肩部のエッチングは、第2のエッチストップ層14でストップされ、ビア孔の下部に詰め物55が残留している。

【0082】図20(BC)に示すように、レジストパターンPR2を除去すると、ビア孔周辺で緩やかな傾きの肩部を有するデュアルダマシン配線溝が形成されている。

【0083】図20(AD)、(BD)は、第2のエッ

チストップ層14を層間絶縁膜底面から高さ約600nmの位置に配置した場合を示す。ビア孔周辺の肩部のエッチングが進行し、第2のエッチストップ層14が露出すると、肩部のエッチングはそれ以後はば進行しない状態となる。

【0084】図20(BD)に示すように、レジストパターンPR2を除去すると、ほぼ平坦な平面を有する配線用溝と周囲に異常エッチングが生じていないビア孔が得られる。このように、ビア孔周辺で肩部のエッチングが進行し、エッチストップ層が露出した時点で詰め物の上面の高さが肩部の最も低い位置よりもさらに下部に配置するようにすれば、異常エッチングを効率的に防止し、良好な形状を得ることができる。

【0085】図1の実施例においては、層間絶縁膜を3層の積層構造で形成した。層間絶縁膜の構成をより簡略化することもできる。

【0086】図2は、層間絶縁膜を2層の積層構造で形成する場合を示す。図2(A)に示すように、導電性領域11を有する下地10の上に、エッチストップ層12、プラズマSiO<sub>2</sub>等で形成された第1層間絶縁膜56、弗素含有シリコン酸化物等で形成された第2層間絶縁膜15、SiN等で形成された反射防止膜16を積層する。

【0087】第1層間絶縁膜56、第2層間絶縁膜15は、類似のエッチレートに有するが、第1層間絶縁膜のエッチレートは低く、第2層間絶縁膜のエッチレートは高い。

【0088】第2層間絶縁膜15の厚さは、その後形成する配線用溝の深さよりも厚く選ぶ。また、第2エッチストップ層が存在しないので、第1層間絶縁膜56は厚めに形成することが好ましい。たとえば、第2層間絶縁膜15よりも第1層間絶縁膜56を厚くする。

【0089】図1の実施例と同様、反射防止膜16の上にレジストパターンを形成し、反射防止膜16、第2層間絶縁膜15、第1層間絶縁膜56の異方性エッチングを行ない、ビア孔HPを形成する。その後レジストパターンは除去し、ビア孔HPの底部に有機化合物の保護詰め物55を形成する。保護詰め物55は、第1の実施例と同様であり、第1層間絶縁膜56表面よりも低い高さまで形成する。第1層間絶縁膜56、第2層間絶縁膜15は、類似のエッチレートを有する。

【0090】反射防止膜16の上に、配線用溝のパターンに対応する開口WAを有するレジストパターンPR2を形成する。

【0091】図2(B)に示すように、開口WAを有するレジストパターンPR2をエッチングマスクとし、反射防止膜16、第2層間絶縁膜15のエッチングを行なう。第2層間絶縁膜15のエッチングは、コントロールエッチングとし、時間制御によりエッチ深さを制御する。第2層間絶縁膜15の一部厚さが残った状態でエッ

チングを停止させる。このようにして、第2層間絶縁膜15に配線用溝WGが形成される。

【0092】保護詰め物55は、第2層間絶縁膜15よりもエッチングレートの低い第1層間絶縁膜56に囲まれているため、配線用溝のエッチング時に保護詰め物55周囲に異常エッチングのおこる可能性は少ない。

【0093】図2(C)に示すように、レジストパターンPR2、保護詰め物55をアッシングにより除去する。

【0094】図2(D)に示すように、第2層間絶縁膜15上面上の反射防止膜16、ビア孔底部のエッチストップ層12のSiN膜をエッチングにより除去する。

【0095】図2(E)に示すように、配線用溝およびビア孔内にデュアルダマシン配線60を形成する。これらの工程は、第1の実施例と同様である。

【0096】図2に示した実施例において、第1層間絶縁膜56、第2層間絶縁膜15の厚さをどのように選べば良いかをより具体的に説明する。第2層間絶縁膜、第1層間絶縁膜の和である層間絶縁膜の高さを1500nmとし、配線用溝の深さを800nmとする。又、ビア孔内への保護用詰め物の高さを約500nmとする。

【0097】図21(AA)、(BA)は、1層の層間絶縁膜15で層間絶縁膜を形成した場合を示す。この場合、ビア孔周辺のエッチングが進行し、詰め物55の周辺に異常エッチングが生じてしまう。レジストパターンPR2を除去した状態では、図21(BA)に示すように、ビア孔周辺に鋭い突起と深い切れ込みが生じている。

【0098】図21(AB)、(BB)は、下方に配置する第1層間絶縁膜56の厚さを約200nm(第2層間絶縁膜15の厚さは1300nm)とした場合を示す。この場合、ビア孔周辺の肩部のエッチングが進行し、第1層間絶縁膜56が露出する時点で異常エッチングが発生している。

【0099】図21(AC)は、第1層間絶縁膜56の高さを約400nmとした場合を示す。ビア孔周辺の肩部のエッチングが進行し、第1層間絶縁膜55が露出すると、その後肩部のエッチングの進行は緩やかになる。エッチング終了後、レジストパターンPR2を除去した状態では、図21(BC)に示すように、第1層間絶縁膜55の主要部分ではほぼ垂直な側壁を有し、上部で緩やかな傾きの肩部を有するビア孔が得られる。

【0100】図21(AC)、(BD)は、第1層間絶縁膜55の高さを約600nmとした場合を示す。この場合には、図21(AC)よりも早いタイミングで第1層間絶縁膜55が露出し、その後第1層間絶縁膜44のエッチングは緩やかに進行するため、肩部のエッチング量はより小さくなる。図21(BD)に示すように、レジストパターンPR2を除去した状態では、ほぼ垂直な側壁を有するビア孔主要部とその上部においてわずかに

傾斜する肩部を有するデュアルダマシン配線用溝が得られる。

【0101】このように、詰め物55の表面は、エッチングを抑制する層の上表面よりも下の位置に配置されている場合に良好なエッチング形状を実現することが可能となる。

【0102】本実施例においては、誘電率の高いSiNなどの第2エッチストップ層を用いないため、配線間容量を低減すると共に、ビア孔間の容量増大も抑制することができる。

【0103】図2(F)は、図2(D)に示す第1エッチストップ層12のエッチング工程において、配線用溝底面の第2層間絶縁膜15がエッチングされ、第1層間絶縁膜56が露出した場合を示す。配線用溝がさらに第1層間絶縁膜中に入り込む場合もある。第1層間絶縁膜56が露出することにより、配線の付随容量は若干増加する。しかし、導電性領域11表面のダメージを防止し、かつ異常エッチングを防止する効果は保たれる。

【0104】第2の実施例においては、下部層間絶縁膜をプラズマSiO<sub>2</sub>膜で形成した。プラズマSiO<sub>2</sub>膜は、エッチレートが低いが、誘電率はSiNより低いものの、余り低くない。上下配線層間の容量をさらに低減するためには、誘電率の更に低い材料を使用することが望まれる。

【0105】図3は、異常エッチング防止用のプラズマSiO<sub>2</sub>膜の厚さを制限し、その上下を弗素含有シリコン酸化膜で挟んだ層間絶縁膜を用いる構成を示す。図3(A)に示すように、導電性領域11を有する下地10の上に、SiN等で形成されたエッチストップ層12、弗素含有シリコン酸化膜で形成された第1層間絶縁膜13、プラズマSiO<sub>2</sub>膜で形成されたエッチング抑制絶縁層54、弗素含有シリコン酸化膜で形成された第2層間絶縁膜15、SiN等で形成された反射防止膜16を積層する。

【0106】第1層間絶縁膜13、第2層間絶縁膜15、エッチング抑制絶縁膜54は、保護詰め物と類似のエッチレートを有するが、第1層間絶縁膜13、第2層間絶縁膜15のエッチレートは高く、エッチング抑制絶縁膜54のエッチレートは低い。

【0107】図3(A)の構成は、図2(A)の構成における第1層間絶縁膜56を、第1層間絶縁膜13とエッチング抑制絶縁膜54との積層で置き換えた構成に対応する。

【0108】反射防止膜16上にレジストパターンを形成し、ビア孔HPを形成する。その後レジストパターンを除去し、ビア孔HP下部に有機化合物の保護詰め物55を形成する。保護詰め物55の上面は、エッチング抑制絶縁膜54の上面よりも上に出ず、かつエッチング抑制絶縁膜54に取り囲まれるように配置する。

【0109】反射防止膜16表面上に、配線溝形成用開

□WAを有するレジストパターンPR2を形成する。

【0110】図3(B)に示すように、レジストパターンPR2をエッチングマスクとし、反射防止膜16をエッチングした後、第2層間絶縁膜15のコントロールエッチングを行う。第2層間絶縁膜15のコントロールエッチングは、第2層間絶縁膜の一部厚さが残るように設定する。

【0111】この時、ビア孔周囲の肩部において、エッチングが進行するが、その下にエッチレートの低い絶縁層54が配置されているため、肩部分のエッチングは絶縁層54で抑制され、保護詰め物55周囲の異常エッチングは抑制される。

【0112】図3(C)に示すように、レジストパターンPR2、保護詰め物55をアッシングにより除去する。

【0113】図3(D)に示すように、第2層間絶縁膜15表面上の反射防止膜16、ビア孔底部のエッチストップ層12をエッチング除去する。このようにして、異常エッチングを抑制しつつ、配線用溝およびビア孔を形成することができる。

【0114】図3(E)に示すように、配線用溝およびビア孔内にデュアルダマシン配線60を形成する。この工程は、上述の実施例と同様である。

【0115】図3(F)は、図3(D)に示す第1エッチストップ層12のエッチング工程において、配線用溝底面の第2層間絶縁膜15がエッチングされ、エッチング抑制絶縁層54が露出した場合を示す。配線用溝がさらにエッチング抑制絶縁層中に入り込む場合もある。エッチング抑制絶縁層54が露出することにより、配線の付随容量は若干増加する。しかし、導電性領域11表面のダメージを防止し、かつ異常エッチングを防止する効果は保たれる。

【0116】上述の実施例においては、下地導電領域表面のダメージを防止するために、ビア孔の下部に詰め物を設けた。以下、詰め物を使用せずにビア孔下方の導電性領域表面をダメージから保護する実施例を説明する。

【0117】図4および図5は、本発明の他の実施例による半導体装置の製造方法を示す。

【0118】図4(A)に示すように、銅配線などの導電性領域11を有する下地10の表面上に、第1エッチストップ層12、第1層間絶縁膜13、第2エッチストップ層14、第2層間絶縁膜15、反射防止膜16の積層を形成する。これらの積層は、化学気相堆積(CVD)によって形成することができる。

【0119】第1エッチストップ層12、第2エッチストップ層14は、例えば厚さ約50nmのSiN膜によって形成する。第1層間絶縁膜13は、例えば厚さ300nmの弗素含有シリコン酸化物によって形成する。第2層間絶縁膜15は、第1層間絶縁膜13よりも厚い、例えば厚さ900nmの弗素含有シリコン酸化物によ

て形成する。反射防止膜16は、例えば厚さ50nmのSiN膜によって形成する。反射防止膜16の表面上にレジスト膜を塗布し、露光、現像することによってビア孔用の開口HAを有するレジストパターンPR1を形成する。

【0120】図4(B)に示すように、レジストパターンPR1をエッチングマスクとし、反射防止膜16、第2層間絶縁膜15、第2エッチストップ層14をエッチングする。このエッチングにおいて、SiN膜16、14に対しては弗素を含有するガスをエッチャントとして用い、弗素含有シリコン酸化物で形成された第2層間絶縁膜に対しては例えばCFを含むガスとO<sub>2</sub>を含むガスの混合ガスをエッチャントして用いる。このエッチングにより形成されたビア孔HPの下部には、第1層間絶縁膜13が露出する。

【0121】図4(C)に示すように、アッシングによりレジストパターンPR1を除去する。なお、図4(B)、(C)の工程において、下地導電領域11は、第1エッチストップ層12、第1層間絶縁膜13で覆われているため、エッチングおよびアッシングによりダメージを受けることから防止されている。

【0122】図4(D)に示すように、反射防止膜16上にレジスト層を塗布し、露光、現像することにより配線用開口WAを有するレジストパターンPR2を形成する。

【0123】図5(E)に示すように、レジストパターンPR2をエッチングマスクとし、反射防止膜16をエッチングした後、第2層間絶縁膜15のコントロールエッチングを行なう。第2層間絶縁膜15のエッチング深さd1は、第1層間絶縁膜13の厚さd2よりも大きな値とする。

【0124】このように設定することにより、配線用溝WGをエッチングする間に、ビア孔下方の第1層間絶縁膜13は完全にエッチングされ、第1エッチストップ層12が露出する。第1エッチストップ層12のエッチレートは、第2層間絶縁膜15のエッチレートよりも十分低くすることができ、配線用溝のエッチングによっても第1エッチストップ層12が十分な厚さで残っており、その下の導電性領域がダメージを受けることは容易に防止される。

【0125】図5(F)に示すように、アッシングによりレジストパターンPR2を除去する。このアッシングにおいても、下地10内の導電性領域11表面は、第1エッチストップ層12によって覆われており、アッシングよりダメージを受けることから防止される。

【0126】図5(G)に示すように、第2層間絶縁膜15上の反射防止膜16およびビア孔内に露出した第1エッチストップ層12をエッチングで除去する。第1エッチストップ層12が除去され、導電性領域11を露出するビア孔HPAが形成される。

【0127】図5(H)に示すように、配線用溝WGおよびビア孔HPA内面上にバリア層19、主配線層20を埋め込んでデュアルダマシン配線を形成する。なお、第2層間絶縁膜15上に堆積したバリア層、主配線層は、CMPなどによって除去する。

【0128】本実施例においては、図4(B)で作成するビア孔HPは、導電性領域11表面を覆うエッチストップ層12まで到達せず、その上に形成された第1層間絶縁膜13表面で留まっている。このため、その後行なわれる配線溝形成用エッチングにおいて、第1エッチストップ層12が十分な厚さで残り、導電性領域がダメージを受けることが容易に防止される。

【0129】なお、第1層間絶縁膜13の厚さは、配線用溝形成用のエッチングにおいて完全にエッチされる厚さに選択する。例えば、配線用溝WGの第2層間絶縁膜内における深さd1を500nmとし、第1層間絶縁膜13の厚さd2を300nmとする。

【0130】第2層間絶縁膜に配線溝WGを形成するエッチングのエッチレート比を層間絶縁膜13、15：エッチストップ層12＝12：1に選択する場合、第1層間絶縁膜13がエッチされた段階で配線用溝は約300nmエッチされている。残り200nmのエッチングを行なう際、第1エッチストップ層12は200/12＝16.6nmエッチングされることになる。第1エッチストップ層12は、厚さ約50nm形成されているため、第1エッチストップ層12は十分な厚さ残り、導電性領域がダメージを受けることは容易に防止される。

【0131】又、先に形成したビア孔HPには、詰め物が設けられておらず、配線用溝のエッチングにおいてビア孔周辺に異常エッチングが生じることが防止される。

【0132】図4、図5に示した実施例においては、層間絶縁膜中にエッチストップ層を配置した構成を用いた。必ずしもエッチストップ層を用いなくても、同様の効果を上げることが可能である。

【0133】図6は、本発明の他の実施例による半導体装置の製造方法を示す断面図である。

【0134】図6(A)に示すように、下地10表面上に第1エッチストップ層12を形成した後、ブラズマSiO<sub>2</sub>膜17を厚さ約200nm形成する。このブラズマSiO<sub>2</sub>膜17の上に、弗素含有シリコン酸化物で形成された第2層間絶縁膜15を厚さ約1000nm形成する。第2層間絶縁膜15上には、反射防止膜16を厚さ約50nm形成する。

【0135】この構成においては、図4(A)に示す構成における第1層間絶縁膜13と第2エッチストップ層14との積層がブラズマSiO<sub>2</sub>膜で形成された第1層間絶縁膜17に置換された構成となっている。

【0136】ビア孔形成用開口HAを有するレジストパターンPR1を反射防止膜16上に形成し、反射防止膜16、第2層間絶縁膜15のエッチングを行なう。この

エッチングにおいては、エッチストップ層が存在しないため、第1層間絶縁膜17表面は若干オーバーエッチされる。

【0137】第1層間絶縁膜のエッチレートを、第2層間絶縁膜のエッチレートよりも低い値に設定することにより、オーバーエッチ量は抑制される。例えば、第2層間絶縁膜15をCFを含むガス、 $O_2$ を含むガスの混合ガスをエッチャントしてエッチングする場合、第2層間絶縁膜15と第1層間絶縁膜17に対するエッチレートは、第2層間絶縁膜：第1層間絶縁膜＝2：1に設定することができ

る。【0138】第2層間絶縁膜15に対するエッチングにおいて、約150nm相当のオーバーエッチを行なった場合、第1層間絶縁膜17の表面は深さ約75nmエッチされることになる。この場合、第1層間絶縁膜17は、約125nmの厚さ残る。従って、第1エッチストップ層12は全くエッチングされず、その下に配置された導電性領域11がダメージを受けることはほぼ完璧に防止される。

【0139】ビア孔HPの形成後、レジストパターンPR1はアッシングで除去する。このアッシングにおいても、下地10内の導電性領域11がダメージを受けることはほぼ完璧に防止される。

【0140】図6(B)に示すように、反射防止膜16上に配線用溝をエッチングするための開口WAを有するレジストパターンPR2を形成する。

【0141】図6(C)に示すように、レジストパターンPR2をエッチングマスクとし、第2層間絶縁膜15に配線用溝WGを形成すると共に、ビア孔底面下の第1層間絶縁膜17を除去するエッチングを行なう。このエッチングは、第1層間絶縁膜17を完全に除去した後、オーバーエッチングが行なわれるように設定する。

【0142】すなわち、第1層間絶縁膜17の厚さd3は、第2層間絶縁膜15中に深さd1の配線用溝WGをエッチングする時完全にエッチングされる値に設定する。第1層間絶縁膜17と第2層間絶縁膜15のエッチレートが異なる場合は、当然エッチレートによる重み付けを行なう。

【0143】上述の厚さを用いた場合、厚さ125nmの第1層間絶縁膜17をエッチングする間に、第2層間絶縁膜15は深さ約250nmエッチングされる。配線用溝の深さd1を500nmに設定した場合、第2層間絶縁膜15に対しては、残り約250nm分のエッチングが行なわれる。エッチレート比を、第2層間絶縁膜15：エッチストップ膜12＝12：1に設定する場合、第1エッチストップ層は250/12＝20.8nmエッチングされることになる。エッチストップ層12はこのエッチングによっても充分残存し、導電性領域がダメージを受けることはほぼ完璧に防止できる。

【0144】その後アッシングを行なってレジストパ

ターンPR2を除去する。

【0145】図6(D)に示すように、シリコン窒化膜に対するエッチングを行ない、第2層間絶縁膜上の反射防止膜16、導電性領域上のエッチストップ層12を除去する。その後、図5(H)に示す工程と同様の工程を行ない、シード層、バリア層、主配線層を形成し、デュアルダマシン配線を完成する。

【0146】図3の実施例同様、上下配線層の付随容量を更に低減することもできる。図7(A)、(B)は、上下配線層の付随容量を更に低減する実施例を示す。

【0147】図7(A)において、層間絶縁膜は、下から弗素含有シリコン酸化膜13、プラズマ酸化膜17、弗素含有シリコン酸化膜15で形成されている。弗素含有シリコン酸化膜13の誘電率は低く、容量低減に有効である。図6(A)～(D)同様の工程を行うことにより、図7(B)の構造を得る。

【0148】なお、上述の実施例においては、ビア孔用開口は、配線溝用開口の領域内に配置されることを前提としている。このためには、位置合わせ余裕をみこんでパターンを設計する必要がある。位置合わせ余裕が小さくなった場合、位置合わせずれによりビア孔パターンと配線溝用パターンがずれる場合が生じ得る。

【0149】図8(A)は、ビア孔用開口HPと配線溝用開口WAに位置合わせずれを生じた場合を示す。この場合、配線溝用開口WAに含まれていないビア孔領域には、レジストが残されることになる。

【0150】図8(B)は、配線溝用開口WAの光近接効果により、配線溝用開口WAが後退した場合、ビア孔用開口HPの一部が配線溝用開口WAに覆われなくなった場合を示す。この場合も、ビア孔用開口HPの一部は配線溝用開口WAに覆われず、その領域のレジストは除去されず、残ることになる。

【0151】図8(C)は、このような位置合わせずれ又はパターンの光近接効果による後退により、ビア孔用開口の一部が配線溝用開口に覆われなくなった場合の配線溝用エッチングを行なうレジストパターンPR2の形状を概略的に示す。配線溝用開口WAは、ビア孔HPの一部から外部に向かって延在する。ビア孔HPの一部領域には、レジストパターンPR2が入り込んでいる。

【0152】図8(C)に示した構成においては、配線溝用開口HPが第1層間絶縁膜13表面まで達しているが、ビア孔の断面積が減少している。

【0153】図8(D)は、位置合わせずれがさらに大きくなった場合に生じ得る現象を示す。この場合には、配線溝用エッチングのエッチングマスクとなるレジストパターンPR2の開口は、ビア孔HPの深さ方向の一部にしか到達せず、ビア孔HPの下部においてはビア孔全面がレジストによって覆われている。この場合、配線溝用エッチングを行なっても、ビア孔下方の第1層間絶縁膜13は全くエッチされないことにもなる。

【0154】このように、ビア孔HPと配線溝用開口WAが位置合わせずれを生じた場合に、ビア導電体のコンタクト不良が生じ得る。以下、このような位置合わせずれが生じた場合にも、ビア孔を確実に下地導電領域表面に達するようにする実施例を説明する。

【0155】図9、図10は、本発明の他の実施例による半導体装置の製造方法を説明する断面図である。

【0156】図9(A)において、導電性領域11を有する下地10表面上に、第1エッチストップ層12、第1層間絶縁膜13、第2エッチストップ層14、第2層間絶縁膜15、ハードマスク層18を積層する。

【0157】第1エッチストップ層12、第2エッチストップ層14は、例えば厚さ50nmのSiN膜によって形成する。第1層間絶縁膜13は、例えば厚さ約300nmの弗素含有シリコン酸化膜によって形成する。第2層間絶縁膜15は、例えば厚さ900nmの弗素含有シリコン酸化膜によって形成する。ハードマスク層18は、例えば厚さ100nmのTiNなどのメタル層によって形成する。

【0158】ハードマスク層18の上にレジスト膜を塗布し、露光、現像してビア孔用開口HAを有するレジストパターンPR1を形成する。レジストパターンPR1をエッチングマスクとして用い、ハードマスク層18をエッチングした後、第2層間絶縁膜15のエッチングを行う。

【0159】ハードマスク層18のエッチングは、例えばCFを含むガスをエッチャントとした異方性プラズマエッチングで行なう。第2層間絶縁膜15のエッチングは、CFを含むガスとO<sub>2</sub>を含むガスの混合ガスをエッチャントとした異方性プラズマエッチングにより行なう。このエッチングにおいて、弗素含有酸化膜15とSiN膜14に対するエッチレートは、たとえば弗素含有シリコン酸化膜15：SiN膜14＝12：1に設定される。

【0160】なお、第2層間絶縁膜15に対するエッチングは、ハードマスク層18をマスクとしても行なうことができる。この場合、レジストパターンPR1は第2層間絶縁膜エッチング前に除去しても良い。

【0161】第2層間絶縁膜15のエッチングを行なった後、第2エッチストップ層14のエッチングを行なう。このエッチングにおいて、レジストパターンPR1はマスクとして残存しても、その前に除去しても良い。レジストパターンPR1が残っている場合は、その後アッシング等により除去する。

【0162】図9(B)に示すように、ハードマスク層18の上に、配線溝形成用レジストパターンPR2を形成する。レジストパターンPR2の開口WAは、ビア孔HPを完全に含まなくても良い。

【0163】図9(C)に示すように、レジストパターンPR2をマスクとし、ハードマスク層18のエッチング

を行なう。このエッチングにおいて、ビア孔HPの一部はレジストで覆われているが、配線溝形成領域のハードマスク層18のエッチングには支障がない。

【0164】図9(D)に示すように、レジストパターンPR2を除去する。ビア孔HP内に入り込んでいたレジストは除去され、ビア孔HP全体が露出する。又、第2層間絶縁膜15上のハードマスク層18は、ビア孔HP上部および配線溝形成領域を含む開口WAを有する。

【0165】図10(E)に示すように、ハードマスク層18をエッチングマスクとし、第2層間絶縁膜15のコントロールエッチングを行なうと共に、第1層間絶縁膜13をエッチングする。このエッチングは、第1層間絶縁膜13を完全にエッチングした後、オーバーエッチングが行われるように設定される。

【0166】このエッチングにおいては、第1および第2層間絶縁膜13、15に対するエッチレートが、第1エッチストップ層12に対するエッチレートよりも十分大きい条件で行なうことができる。例えば、上述のようにCFを含むガスと、O<sub>2</sub>を含むガスの混合ガスをエッチャントとして用い、エッチレート比を12：1で行なうことができる。このエッチングにおいて、第1エッチストップ層12は十分な厚さで残り、その下の導電性領域11のダメージを防止する。

【0167】図10(F)に示すように、ビア孔HP底部に露出した第1エッチストップ層12をエッチングし、導電領域11を露出するビア孔HPAを形成する。

【0168】図10(G)に示すように、ハードマスク層18および配線溝、ビア孔上にバリアメタル層19および主配線層20を形成する。バリアメタル層19は、例えば厚さ約25nmのTiN層で形成できる。主配線層20は、例えば銅層で形成できる。バリアメタル層、主配線層は、スパッタリング、メッキなどにより形成することができる。

【0169】図10(H)に示すように、第2層間絶縁膜15上に形成された主配線層20、バリアメタル層19、ハードマスク層18をCMP等により除去し、平坦な表面を形成する。

【0170】本実施例によれば、配線溝用エッチングは、ビア孔用開口と配線溝用開口とを足し合わせた形状のハードマスクに転写されたパターンをエッチングマスクとして行なわれる。配線溝用マスクがビア孔用マスクに対し位置合わせずれを生じても、ビア孔内に入り込んでいたレジストは除去された後、エッチングが行なわれるため、ビア孔形成が損なわれることが防止される。

【0171】本実施例における層間絶縁膜の積層構造は、図4、図5に示す層間絶縁膜下部にエッチストップ層を有する構成を用いた。同様の製造プロセスがエッチストップ層を用いない図6、7の層間絶縁膜を用いるプロセスに対しても適用できる。

【0172】図11は、本発明の実施例による半導体装置の製造方法を示す断面図である。

【0173】図11(A)に示すように、導電性領域11を有する下地10表面上に、エッチストップ層12、第1層間絶縁膜17、第2層間絶縁膜15、ハードマスク層16を積層する。エッチストップ層12は、例えば厚さ50nmのSiN膜で形成する。第1層間絶縁膜17は、例えば屈折率 $n=1.5$ 、厚さ約200nmのSiO<sub>2</sub>膜によって形成する。第2層間絶縁膜15は、例えば厚さ1000nmの弗素含有シリコン酸化膜によって形成する。ハードマスク層16は、例えば厚さ100nmのTiN膜によって形成する。

【0174】ハードマスク層16の上に、ビア孔パターンを有する開口HAを有するレジストパターンPR1を形成する。

【0175】レジストパターンPR1をエッチングマスクとして用い、ハードマスク層16をC1を含むエッチャントガスでエッチングした後、第2層間絶縁膜15をCFを含むガスとO<sub>2</sub>を含むガスの混合ガスをエッチャントガスとする異方性プラズマエッチングによりエッチングする。その後レジストパターンPR1は除去する。

【0176】図11(B)に示すように、ハードマスク層16の表面上に配線溝パターンの開口WAを有するレジストパターンPR2を形成する。このレジストパターンPR2をエッチングマスクとし、ハードマスク層16のエッチングを行なう。なお、レジストパターンPR2は、位置合わせずれによりビア孔内に入り込んだ形状であるが、ビア孔に連続した配線溝用開口がハードマスク層16に形成される。

【0177】図11(C)に示すように、レジストパターンPR2を除去する。ビア孔内部に入り込んでいたレジストは除去され、ビア孔全体が露出する。ハードマスク層16をエッチングマスクとし、第2層間絶縁膜15のコントロールエッチングを行なう。このコントロールエッチングと同時に、ビア孔下部に残存する第1層間絶縁膜17がエッチングされ、第1エッチストップ層12が露出する。

【0178】このようにして、配線用溝とそれに接続したビア孔がマスクの位置合わせずれにもかかわらず形成される。その後、前述の実施例同様、バリア層、主配線層を形成し、CMP等により第2層間絶縁膜上の金属層を除去する。図9から11に示した実施例によれば、マスク合わせ余裕を大きくとることができ、確実な接続孔の形成が行え、より電氣的に良好な特性を示す配線構造を形成することができる。配線をより高密度に配置することができる。

【0179】以上説明した実施例においては、1つのデュアルダマシン配線を形成した。実際の半導体装置においては、多層の配線層を形成し、各配線層において複数のデュアルダマシン構造を形成する。

【0180】図12は、半導体集積回路装置の構成例を示す断面図である。シリコン基板10の表面には、シャロートレンチアイソレーションにより素子分離領域ST1が形成され、活性領域が画定されている。図に示す構造においては、1つの活性領域内にnチャンネルMOSトランジスタn-MOSが形成され、他の活性領域内にpチャンネルMOSトランジスタp-MOSが形成されている。

【0181】各トランジスタは、基板表面上に絶縁ゲート電極構造を有し、ゲート電極の両側の基板内にn型又はp型のソース/ドレイン領域11が形成されている。これらのソース/ドレイン領域は、前述の実施例における導電性領域である。

【0182】シリコン基板10表面上に第1エッチストップ層12、第1層間絶縁膜13、第2エッチストップ層14、第2層間絶縁膜15の積層が形成され、バリア層19、主配線層20のデュアルダマシン配線構造が形成されている。これらのデュアルダマシン配線も、その上方に形成される配線に対しては前述の実施例における導電性領域となる。

【0183】図においては、両端の導電性領域11上にそれぞれ引き出し配線構造が形成され、中央の2つの導電領域11上に相互を接続する他の配線構造が形成されている。すなわち、図に示す2つのMOSトランジスタは、コンプリメンタリMOS(CMOS)トランジスタを構成している。

【0184】以上説明した第1配線層の上に、第3エッチストップ層22、第3層間絶縁膜23、第4エッチストップ層24、第4層間絶縁膜25の積層が形成され、この積層内にバリア層29、主配線層30のデュアルダマシン配線構造が形成されている。

【0185】さらに上層には、第5エッチストップ層32、第5層間絶縁膜33、第6エッチストップ層34、第6層間絶縁膜35が積層され、この積層内にバリアメタル層39、主配線層40のデュアルダマシン配線構造が形成されている。

【0186】さらに上層には、第7エッチストップ層42、第7層間絶縁膜43、第8エッチストップ層44、第8層間絶縁膜45の積層が形成され、この積層内にバリアメタル層49、主配線層50のデュアルダマシン配線構造が形成されている。このデュアルダマシン配線構造の表面を覆って、保護膜52が形成されている。

【0187】これらのデュアルダマシン配線も、前述の実施例のデュアルダマシン配線に相当する。このように、多層配線構造をデュアルダマシン配線構造を用いて形成することにより、高集積度で付随容量が小さく、配線抵抗の小さい配線構造を形成することができる。

【0188】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えばエッチストップ層として、シリコン窒化膜の他、シリコン酸

化窒化膜、シリコンカーバイド ( $\text{SiC}$ ,  $\text{SiC:H}$ ) 等を用いてもよい。エッチレート異なる膜は、組成、密度、成長方法 (CVD、蒸着、スパッタリング)、成長温度異なるシリコン酸化膜、弗素、燐、ボロン等添加物の含有量の異なる添加物含有シリコン酸化膜、水素シルセスキオキサン (HSQ)、テトラエトキシシリケート (TEOS) など原料異なるシリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、シロキサン結合を有する無機化合物膜、有機化合物膜等から選択する事ができる。デュアルダマシン配線は、金属または金属化合物で形成できる。金属としては、金、銀、白金、銅、アルミニウム、タングステン、チタン、タンタル、モリブデン等、またはこれらの合金を用いることができる。金属化合物としては、チタナイトライド、タンタルナイトライド、タングステンナイトライド、またはモリブデンナイトライド等を用いることができる。

【0189】その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。厚い、例えば500nm以上の厚さの配線層に対してのみ、上述のデュアルダマシン配線を採用し、薄い、例えば厚さ500nm未満の配線層に対しては、従来のデュアルダマシン配線層を採用してもよい。1つの形態としては、下層配線は、図13～21に示した従来型の配線で形成し、上層配線は、図1～11に示した実施例による配線で形成する。

【0190】なお、本発明に関し、以下を開示する。

【0191】(付記1) 表面に導電性領域を有する下地と、前記下地の表面を覆う絶縁性エッチストップ膜と、前記絶縁性エッチストップ膜上に形成された層間絶縁膜と、前記層間絶縁膜表面から第1の深さで形成された配線用溝と、前記配線用溝底面から、前記層間絶縁膜の残りの厚さおよび前記絶縁性エッチストップ膜を貫通し、前記導電性領域に達する接続用孔と、前記配線用溝および前記接続用孔を埋め込んで形成されたデュアルダマシン配線と、を有し、前記層間絶縁膜が前記配線用溝の側面および底面を包む第1種の絶縁層と、前記第1種の絶縁層よりも下に配置され、第1種の絶縁層とエッチング特性異なる第2種の絶縁層とを含む半導体装置。

【0192】(付記2) 前記接続孔は、前記第1種の絶縁層内で上方に向かって次第に断面積が増大する部分を有する付記1記載の半導体装置。

【0193】(付記3) 前記層間絶縁層が、さらに前記第2種の絶縁層の下に配置され、第2種の絶縁層とエッチング特性異なる第3種の絶縁層を含む付記1または2記載の半導体装置。

【0194】(付記4) 前記接続孔は、前記第2種の絶縁層の途中から上方に向かって次第に断面積が増大する部分を有する付記3記載の半導体装置。

【0195】(付記5) 前記第2種の絶縁層が、前記第1種の絶縁層のエッチング時にエッチストップとして

機能し得る層であり、前記接続用孔は前記第2種の絶縁層下部から前記導電性領域表面まで実質的に同一の断面形状を有する付記3または4記載の半導体装置。

【0196】(付記6) 前記第3種の絶縁層が、前記第1の深さより小さい厚さを有する付記3～5のいずれか1項記載の半導体装置。

【0197】(付記7) 前記第2種の絶縁層が前記絶縁性エッチストップ膜上に配置されており、前記第1の深さより小さい厚さを有する付記1または2記載の半導体装置。

【0198】(付記8) 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、前記絶縁性エッチストップ膜上に、第1種の絶縁膜とその下に配置され、第1種の絶縁膜とエッチング特性異なる第2種の絶縁膜とを含む層間絶縁膜を形成する工程と、前記層間絶縁膜の表面から、前記層間絶縁膜を貫通し、前記絶縁性エッチストップ膜に達する接続用孔を形成する工程と、前記接続孔内に、前記第2種の絶縁膜の表面より下の高さまで有機物の保護詰物を形成する工程と、前記接続孔と重複させ、前記層間絶縁膜表面から第1種の絶縁膜中第1の深さまで配線用溝を形成する工程と、前記保護詰物を除去する工程と、前記絶縁性エッチングストップ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法。

【0199】(付記9) 前記層間絶縁層が、さらに前記第2種の絶縁層の下に配置され、第2種の絶縁層とエッチング特性異なる第3種の絶縁層を含む付記8記載の半導体装置の製造方法。

【0200】(付記10) 前記第2種の絶縁膜は、前記第1種および第3種の絶縁膜よりエッチレートが低い付記9記載の半導体装置の製造方法。

【0201】(付記11) 前記第2種の絶縁膜が他のエッチストップ層とその下に配置された下層絶縁膜とを有し、前記接続用孔を形成する工程が、前記第1種の絶縁膜および他のエッチストップ膜とその下に配置された下層絶縁膜を有する第2種絶縁膜を貫通し、前記エッチストップ膜に達する接続用孔を形成する工程である付記8記載の半導体装置の製造方法。

【0202】(付記12) 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、前記絶縁性エッチストップ膜上に、第1種の絶縁膜とその下に配置され、第1種の絶縁膜とエッチング特性異なる第2種の絶縁膜とを含む層間絶縁膜を形成する工程と、前記層間絶縁膜の表面から、前記第1種の絶縁膜を貫通し、前記第2種の絶縁膜に達する接続用孔を形成する第1エッチング工程と、前記接続孔と重複させ、前記層間絶縁膜表面から第1種の絶縁膜中第1の深さまで配線用溝を形成するとともに、前記接続孔下の残りの層間



絶縁膜を除去する第2エッチング工程と、前記絶縁性エッチングストップ膜を除去し、導電性領域を有する下地までの接続用孔を貫通させる工程と、前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法。

【0203】(付記13) 前記第2のエッチング工程が、前記第2種の絶縁膜をエッチングして前記エッチストップ膜を露出する工程と、露出したエッチストップ膜をエッチングする工程とを含む付記12記載の半導体装置の製造方法。

【0204】(付記14) 前記第2種の絶縁膜が、他のエッチストップ膜とその下に配置された下層絶縁膜とを有し、前記第1エッチング工程はマスクを用いて、前記第1種の絶縁膜をエッチングする工程と、その後露出した他のエッチストップ膜をエッチングする工程とを含み、前記第2のエッチング工程が、マスクを用いて前記接続孔下の前記下層絶縁膜をエッチングする工程と露出した前記エッチストップ膜をエッチングする工程とを含む付記12記載の半導体装置の製造方法。

【0205】(付記15) 前記層間絶縁膜を形成する工程が、前記層間絶縁膜の上にハードマスク層も形成し、前記第1エッチング工程が前記ハードマスク層の上に第1レジストマスクを形成する工程を含み、前記第2エッチング工程が前記ハードマスク層上に第2レジストマスクを形成し、前記ハードマスク層をエッチングする工程と、その後第2レジストマスクを除去し、ハードマスク層をエッチングマスクとして用いて、エッチングを行なう工程とを含む付記12～14のいずれか1項に記載の半導体装置の製造方法。

【0206】(付記16) 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、前記絶縁性エッチストップ膜上に、下から第1種の絶縁膜と第2種の絶縁膜と第3種の絶縁膜とを含み、第2種の絶縁膜は、第1種および第3種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、前記層間膜表面から、前記第3種絶縁膜、第2種絶縁膜、第1種絶縁膜を貫通し、前記絶縁性エッチストップ膜に達する接続用孔を形成する第1エッチング工程と、前記接続孔内に前記第1種の絶縁膜表面より高く、前記第2種の絶縁膜表面より低い高さまで有機物の保護膜を形成する工程と、前記接続孔と重複させ、前記層間絶縁膜表面から第3種の絶縁膜中第1の深さまで配線用溝を形成する第2エッチング工程と、前記保護膜を除去し、前記接続孔内に前記絶縁性エッチストップ膜を露出させる工程と、露出した前記エッチストップ膜をエッチングする第3エッチング工程と、前記配線用溝および前記接続孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法。

【0207】(付記17) 表面に導電性領域を有する下地上に絶縁性エッチストップ膜を形成する工程と、前

記絶縁性エッチストップ膜上に、下から第1種の絶縁膜と第2種の絶縁膜と第3種の絶縁膜とを含み、第2種の絶縁膜は第1種および第3種の絶縁膜とエッチング特性の異なる層間絶縁膜を形成する工程と、前記層間絶縁膜の表面から、前記第3種の絶縁膜を貫通し、前記第2種の絶縁膜に達する接続用孔を形成する第1エッチング工程と、前記接続孔底面に露出した第2種の絶縁膜をエッチングする第2エッチング工程と、前記接続孔と重複させ、前記層間絶縁膜表面から第3種の絶縁膜中第1の深さで配線用溝を形成するとともに、前記接続孔下の第1種の絶縁膜をエッチングして前記エッチストップ膜を露出する第3エッチング工程と、露出した前記エッチストップ膜をエッチングする第4エッチング工程と前記配線用溝および前記接続用孔を埋め込んでデュアルダマシン配線を形成する工程と、を有する半導体装置の製造方法。

【0208】(付記18) 前記層間絶縁膜を形成する工程が、前記層間絶縁膜の上にハードマスク層も形成し、前記第1エッチング工程が前記ハードマスク層の上に第1レジストマスクを形成する工程と、前記第1レジストマスクをエッチングマスクとして用い、ハードマスク層をエッチングする工程とを含み、前記第3エッチング工程が前記ハードマスク層上に第2レジストマスクを形成し、前記第2レジストマスクをエッチングマスクとして用い、前記ハードマスク層をエッチングする工程と、その後第2レジストマスクを除去し、ハードマスク層をエッチングマスクとして用いて、エッチングを行なう工程とを含む付記17に記載の半導体装置の製造方法。

【0209】

【発明の効果】以上説明したように、本発明によれば、下地導電領域にダメージを与えることの少ないデュアルダマシン配線構造を有する半導体装置の製造方法が提供される。

【0210】また、好適なデュアルダマシン配線構造を有する半導体装置が提供される。

【0211】ビア孔内に詰め物を用いなくとも、下地導電領域にダメージを与えることの少ない配線形成技術が提供される。

【図面の簡単な説明】

【図1】 本発明の実施例を説明するための半導体基板の断面図である。

【図2】 本発明の他の実施例を説明するための半導体基板の断面図である。

【図3】 本発明の他の実施例を説明するための半導体基板の断面図である。

【図4】 本発明の他の実施例を説明するための半導体基板の断面図である。

【図5】 図4と共に他の実施例を説明するための半導体基板の断面図である。

【図6】 本発明の他の実施例を説明するための半導体基板の断面図である。

【図7】 本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図8】 図4～図7の実施例において、マスクの位置合わせずれが生じたときに生じ得る問題を説明するための平面図および断面図である。

【図9】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図10】 図9と共に本発明の他の実施例による半導体基板の製造方法を説明するための半導体基板の断面図である。

【図11】 本発明の他の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図12】 本発明の実施例により製造される半導体集積回路装置の構成例を概略的に示す断面図である。

【図13】 従来の技術による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図14】 従来の技術による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図15】 従来の技術による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図16】 半導体装置の製造方法についての考察を説\*

\* 明するための半導体基板の断面図である。

【図17】 従来技術による配線の製造工程についての考察を説明するための半導体基板の断面図である。

【図18】 従来技術による配線の製造工程についての考察を説明するための半導体基板の断面図である。

【図19】 従来技術による配線の製造工程についての考察を説明するための半導体基板の断面図である。

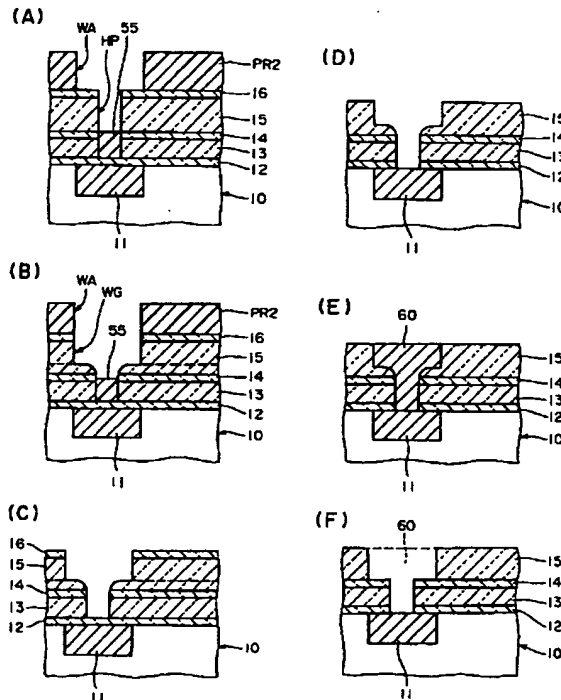
【図20】 従来技術による異常エッチングや下地ダメージの発生についての考察を説明するための半導体基板の断面図である。

【図21】 従来技術による異常エッチングや下地ダメージの発生についての考察を説明するための半導体基板の断面図である。

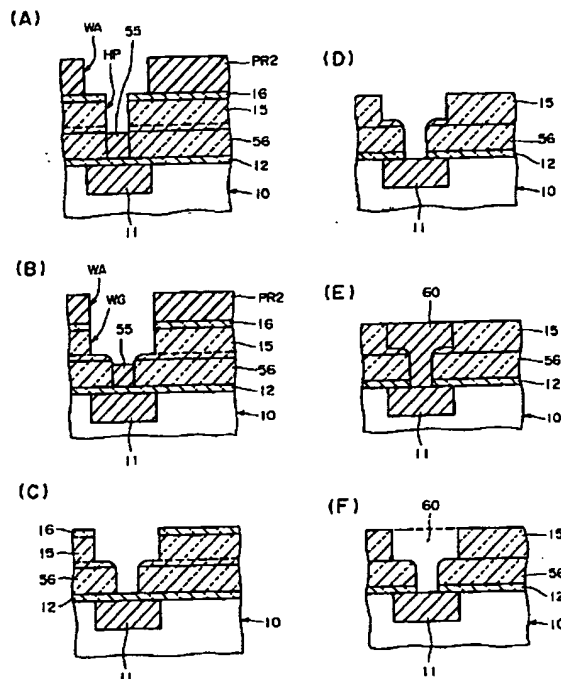
【符号の説明】

- 10 下地
- 11 導電性領域
- 12、14 エッチストップ層
- 13、15 層間絶縁膜
- 16 反射防止膜
- 18 ハードマスク層
- 19 バリアメタル層
- 20 主配線層

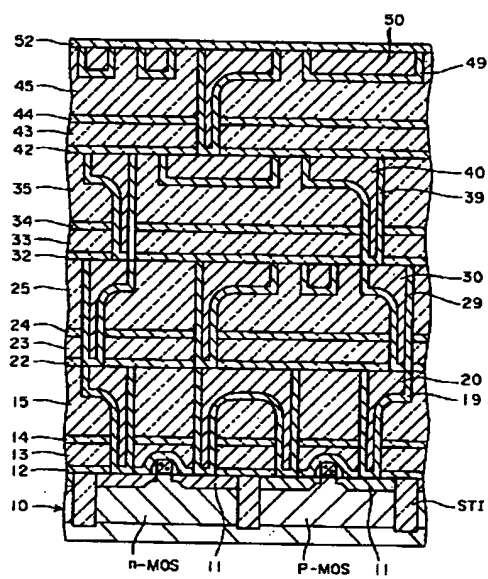
【図1】



【図2】

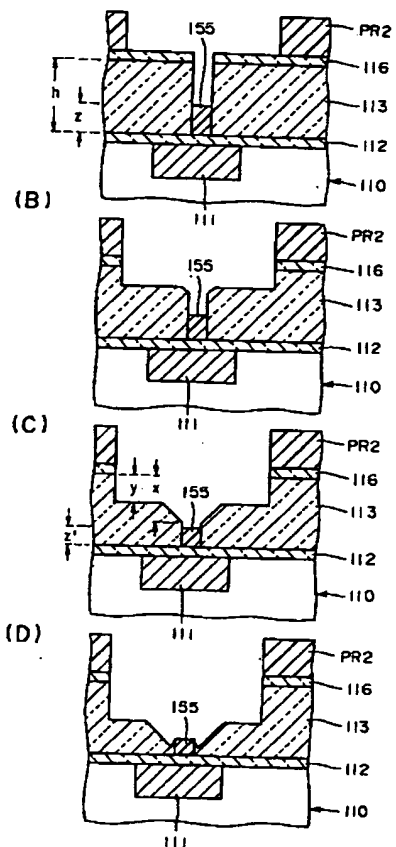


【圖 12】

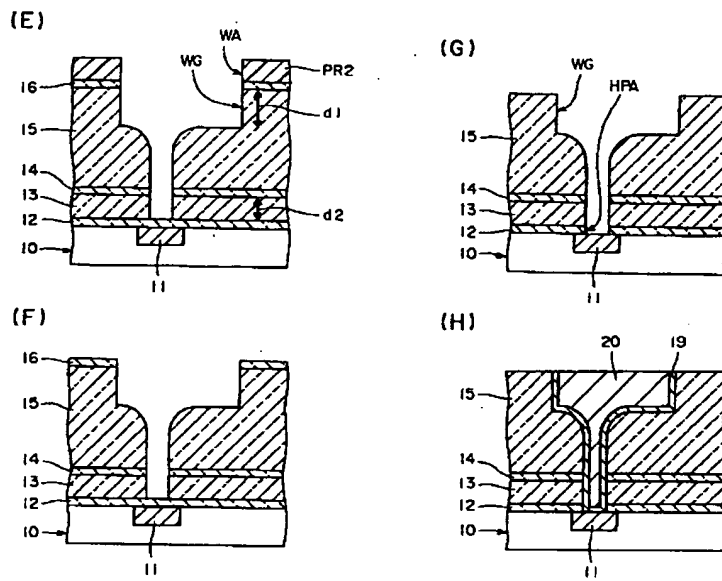


【圖 17】

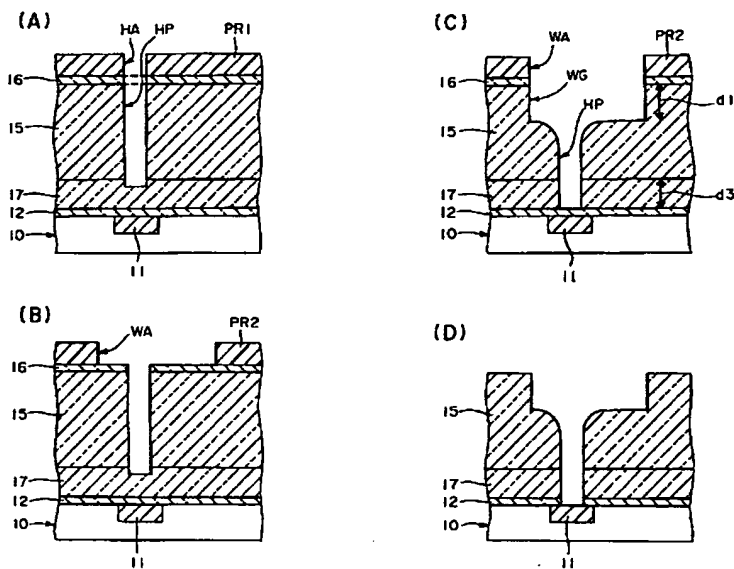
(A)



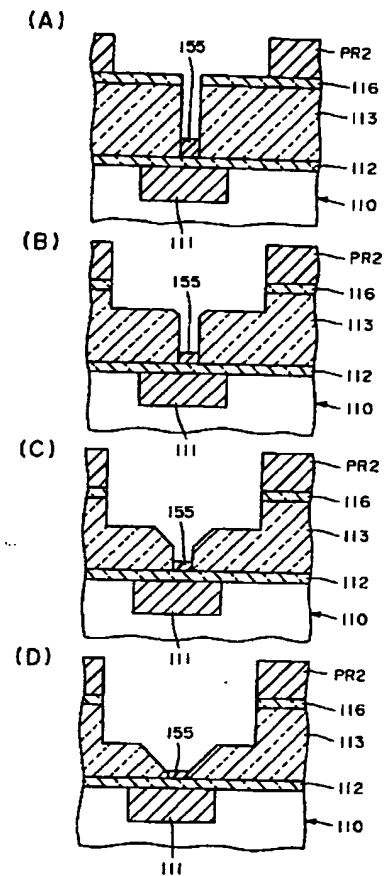
【図5】



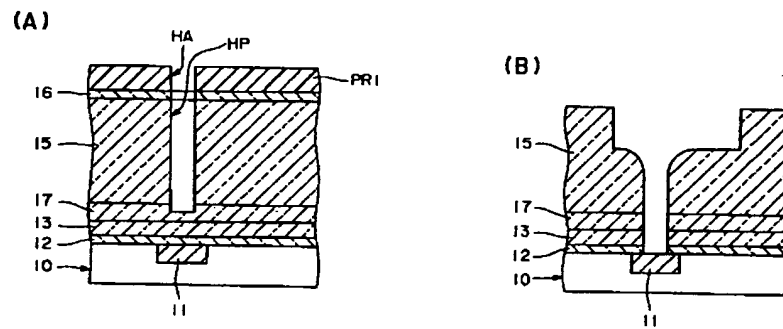
【図6】



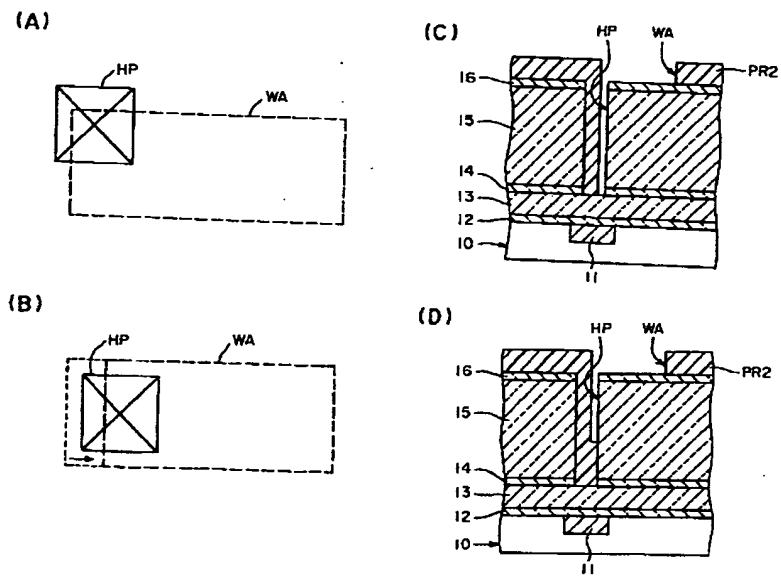
【図18】



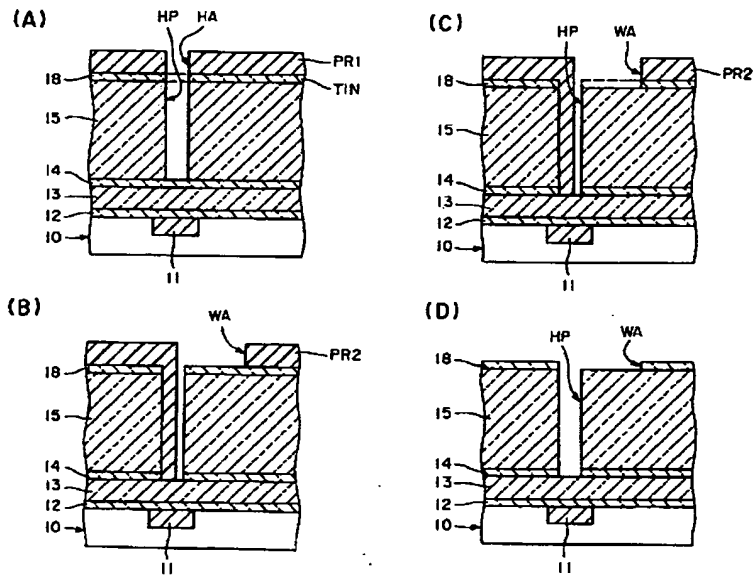
【図7】



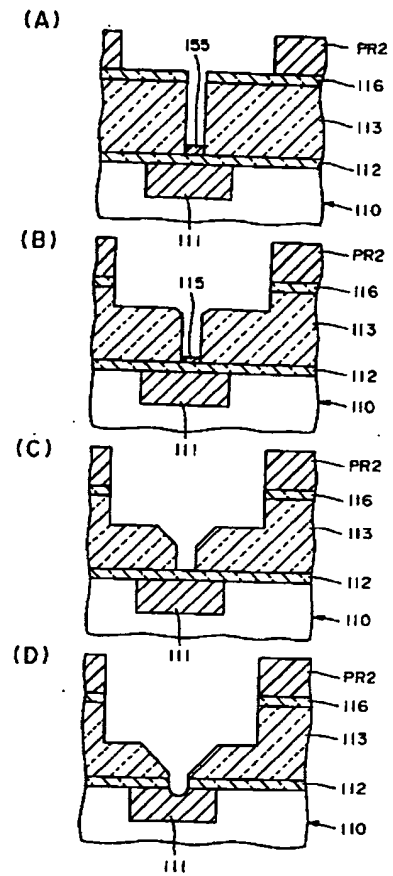
【図8】



【図9】



【図19】



【図10】

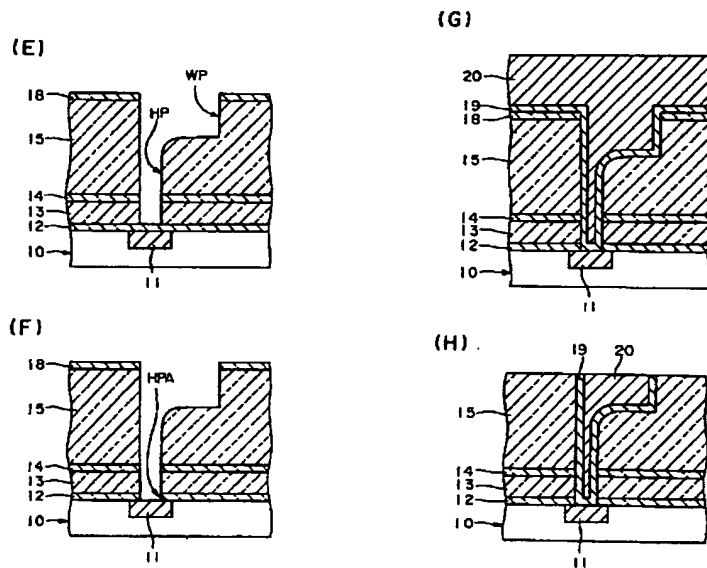
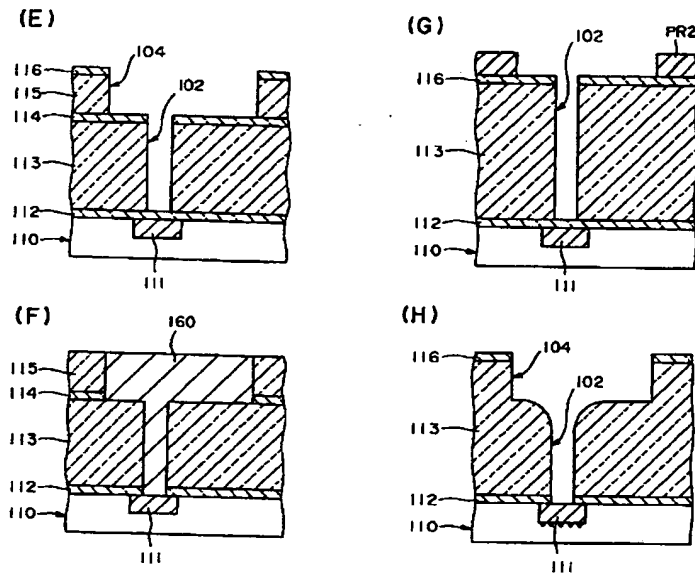


Figure 1 consists of four cross-sectional views of a semiconductor device, labeled (A), (B), (C), and (D). Each view shows a substrate 10 with a base layer 12 and a patterned layer 17. A central trench is formed in the substrate 10, with a small rectangular feature 11 at its base. In view (A), a layer 16 is deposited over the entire surface, and a vertical structure 15 is formed in the trench, labeled HA. A layer 16 is also labeled on the top surface. In view (B), a layer 16 is deposited over the entire surface, and a vertical structure 15 is formed in the trench, labeled WA. A layer 16 is also labeled on the top surface. In view (C), a layer 16 is deposited over the entire surface, and a vertical structure 15 is formed in the trench, labeled PR1. A layer 16 is also labeled on the top surface. In view (D), a layer 16 is deposited over the entire surface, and a vertical structure 15 is formed in the trench, labeled PR2. A layer 16 is also labeled on the top surface.

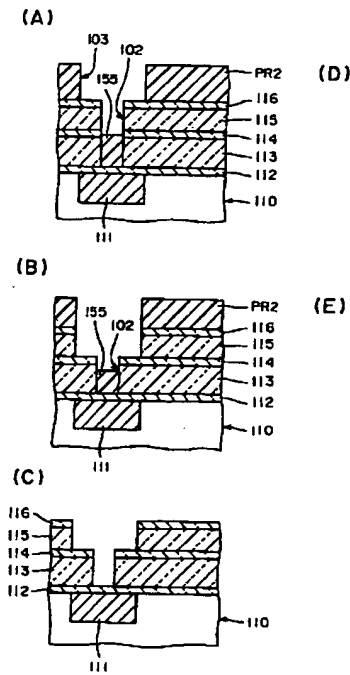
Fig. 1 consists of four cross-sectional views labeled (A), (B), (C), and (D), illustrating the sequential steps of a semiconductor device fabrication process. The substrate is labeled 110, and the base layer is 112. The layers are numbered 113, 114, 115, and 116 from bottom to top.

- (A)** Shows the initial structure with a base layer 112 on substrate 110. A layer 113 is formed on 112. A layer 114 is formed on 113. A layer 115 is formed on 114. A layer 116 is formed on 115. A small rectangular feature 111 is formed in the layer 112.
- (B)** Shows the structure after a vertical opening 101 has been formed through layers 116, 115, 114, and 113, reaching the layer 112. A layer 102 is formed on the side walls of the opening 101. A layer 103 is formed on the top surface of the layer 116. A layer 104 is formed on the top surface of the layer 115. A layer 105 is formed on the top surface of the layer 114. A layer 106 is formed on the top surface of the layer 113. A layer 107 is formed on the top surface of the layer 112. A layer 108 is formed on the top surface of the layer 111.
- (C)** Shows the structure after the layers 102, 103, 104, 105, 106, 107, and 108 have been removed. A layer 109 is formed on the top surface of the layer 116. A layer 110 is formed on the top surface of the layer 115. A layer 111 is formed on the top surface of the layer 114. A layer 112 is formed on the top surface of the layer 113. A layer 113 is formed on the top surface of the layer 112. A layer 114 is formed on the top surface of the layer 111.
- (D)** Shows the structure after the layers 109, 110, 111, 112, 113, and 114 have been removed. A layer 115 is formed on the top surface of the layer 116. A layer 116 is formed on the top surface of the layer 115. A layer 117 is formed on the top surface of the layer 114. A layer 118 is formed on the top surface of the layer 113. A layer 119 is formed on the top surface of the layer 112. A layer 120 is formed on the top surface of the layer 111.

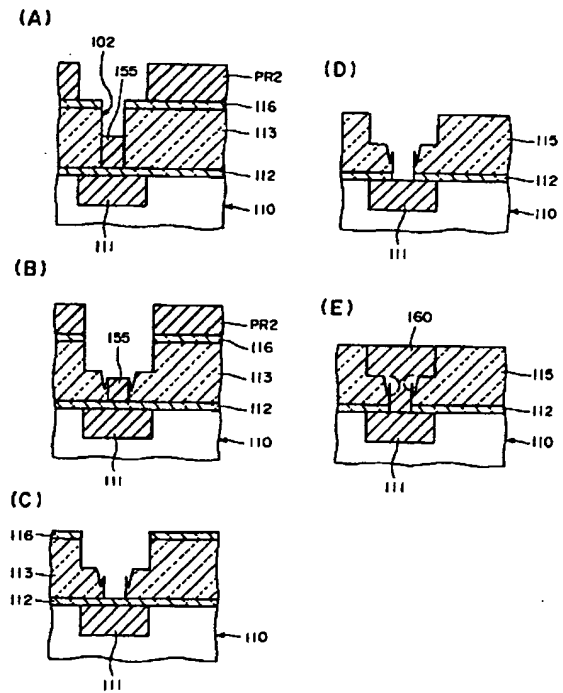
【図14】



【図15】

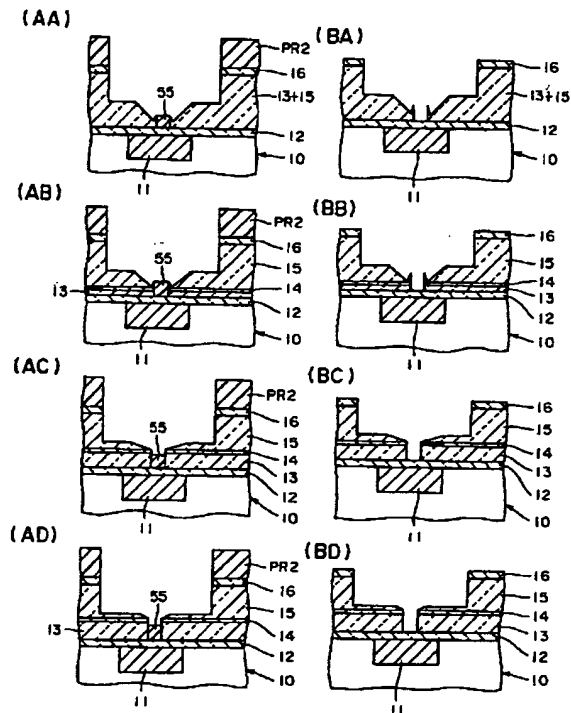


【図16】

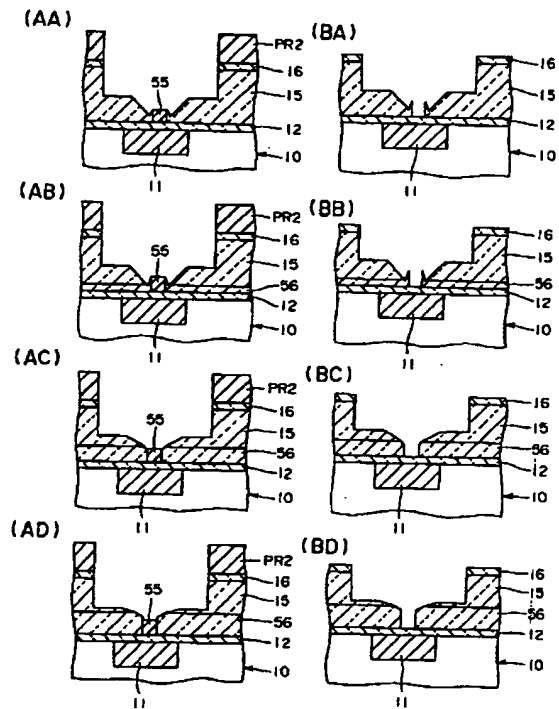




【図20】



【図21】



フロントページの続き

(72)発明者 駒田 大輔

愛知県春日井市高蔵寺町二丁目1844番2号

富士通ヴィエルエスアイ株式会社内

(72)発明者 新福 文彦

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

Fターム(参考) 5F033 HH07 HH08 HH09 HH11 HH12

HH13 HH14 HH18 HH19 HH20

HH21 HH32 HH33 HH34 JJ01

JJ07 JJ08 JJ09 JJ11 JJ12

JJ13 JJ14 JJ18 JJ19 JJ20

JJ21 JJ32 JJ33 JJ34 KK01

MM02 MM12 MM13 NN06 NN07

NN32 PP15 PP27 PP28 QQ04

QQ08 QQ09 QQ11 QQ16 QQ21

QQ25 QQ27 QQ37 QQ48 RR01

RR04 RR06 RR08 RR09 RR11

RR13 RR14 RR15 RR23 RR25

SS04 SS08 SS10 SS11 SS15

TT02 TT04 XX00